

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-123326

(43)Date of publication of application : 26.04.2002

(51)Int.Cl.

G05F 3/26

H03F 3/30

H03F 3/45

H03F 3/68

(21)Application number : 2000-312392

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 12.10.2000

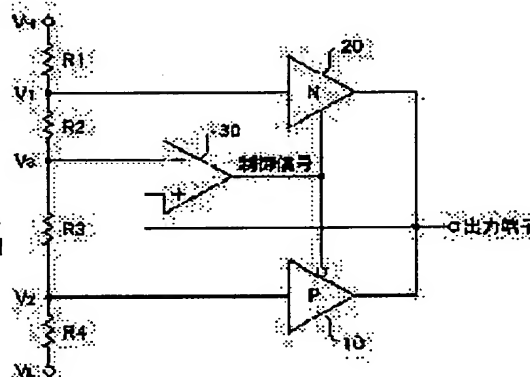
(72)Inventor : FUJISE TAKASHI

## (54) POWER CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent a large current from flowing owing to variance of a process, etc., by controlling the operations of a P-channel transistor and an N-channel transistor of the output stage in a power circuit which drives a load on a push-pull basis.

**SOLUTION:** This circuit is equipped with a 1st amplification path 10 which inputs a 1st potential and supplies a current to an output terminal when a control signal is in a 1st state, a 2nd amplification path 20 which inputs a 2nd potential and absorbs a current from the output terminal when the control signal is in a 2nd state, an intermediate-potential generating circuit which generates a 3rd potential between the 1st and 2nd potentials, and a comparing circuit 30 which compares the 3rd potential with the potential at the output terminal with each other to generate and supplies the control signal to the 1st and 2nd amplification paths.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-123326

(P2002-123326A)

(43) 公開日 平成14年4月26日 (2002. 4. 26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ド* (参考)
G 0 5 F 3/26		G 0 5 F 3/26	5 H 4 2 0
H 0 3 F 3/30		H 0 3 F 3/30	5 J 0 6 6
3/45		3/45	A 5 J 0 6 9
3/68		3/68	B 5 J 0 9 1

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願2000-312392 (P2000-312392)

(22) 出願日 平成12年10月12日 (2000. 10. 12)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 藤瀬 隆史

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ

ーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅彦 (外 1 名)

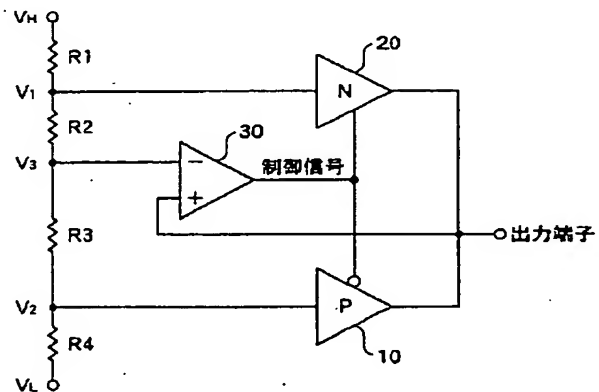
最終頁に続く

(54) 【発明の名称】 電源回路

(57) 【要約】

【課題】 プッシュプル方式により負荷を駆動する電源回路において、出力段の P チャネルトランジスタと N チャネルトランジスタの動作を制御することによって、プロセス等のばらつきにより大電流が流れることを防止する。

【解決手段】 第 1 の電位が入力され制御信号が第 1 の状態のときに出力端子に電流を供給する第 1 の増幅経路 10 と、第 2 の電位が入力され制御信号が第 2 の状態のときに出力端子から電流を吸収する第 2 の増幅経路 20 と、第 1 の電位と第 2 の電位との間の第 3 の電位を作成する中間電位作成回路と、第 3 の電位と出力端子の電位とを比較して制御信号を作成し第 1 及び第 2 の増幅経路に供給する比較回路 30 とを具備する。



【特許請求の範囲】

【請求項1】 第1の電位が入力され、制御信号が第1の状態のときに出力端子に電流を供給する第1の増幅経路と、

第2の電位が入力され、制御信号が第2の状態のときに前記出力端子から電流を吸収する第2の増幅経路と、

前記第1の電位と前記第2の電位との間の第3の電位を作成する中間電位作成回路と、

前記第3の電位と前記出力端子の電位とを比較して制御信号を作成し、前記第1及び第2の増幅経路に供給する比較回路と、を具備する電源回路。

【請求項2】 前記第1の増幅経路が、出力段にPチャネルトランジスタを用いた負帰還増幅器を含み、前記第2の増幅経路が、出力段にNチャネルトランジスタを用いた負帰還増幅器を含むことを特徴とする請求項1記載の電源回路。

【請求項3】 前記中間電位作成回路が、前記第1の電位と前記第2の電位とを分圧することにより前記第3の電位を作成することを特徴とする請求項1又は2記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LCDドライバ等の電源回路に関し、特に、プッシュプル方式により負荷に電源を供給するボルテージフォロア形式の電源回路に関する。

【0002】

【従来の技術】従来のLCDドライバ等の電源回路においては、図5に示すようなプッシュプル方式を用いるものがあった。図5に示す電源回路は、出力段にPチャネルトランジスタを用いて出力端子に電流を供給する第1の増幅経路100と、出力段にNチャネルトランジスタを用いて出力端子から電流を吸収する第2の増幅経路200とを含んでいる。この電源回路には、高電位側の入力電位 $V_H$ と低電位側の入力電位 $V_L$ とを抵抗 $R_{10}$ 、 $R_{20}$ 、 $R_{30}$ によって分圧して得られた第1の電位 $V_{10}$ と第2の電位 $V_{20}$ とが供給されている。第1の増幅経路100には低い方の第2の電位 $V_{20}$ が供給され、第2の増幅経路200には高い方の第1の電位 $V_{10}$ が供給されるので、通常は、第1の増幅経路100の出力トランジスタと第2の増幅経路200の出力トランジスタとの両方が同時に動作することはない。

【0003】

【発明が解決しようとする課題】しかしながら、プロセスのばらつき等により、第1の増幅経路100又は第2の増幅経路200に含まれる差動増幅器の差動対を構成するトランジスタのしきい電圧等が変動した場合には、第1の増幅経路100の出力トランジスタと第2の増幅経路200の出力トランジスタとの両方が同時に動作してしまう場合があり、このとき大電流が流れてしまうという問題があった。

一方、抵抗 $R_{20}$ の値を大きくすることにより、第1の電位 $V_{10}$ と第2の電位 $V_{20}$ とのオフセットを大きくすると、電源回路の出力電圧が波を打ったように振動してしまうという問題があった。

【0004】ところで、日本国特許出願公開（特開）昭61-79312号公報には、増幅器の出力に含まれる直流成分をウインドコンパレータに入力し、あるレベルを超えた時に逐次比較レジスタを動作させてマルチプレクサに制御信号を送り、初段増幅器の共通ソース抵抗の中点を制御するオフセット調整手段を備えた直流増幅器が記載されている。

【0005】また、特開平7-106875号公報には、差動トランジスタと、差動トランジスタの共通接続されたソース電極に接続された電流源のトランジスタと、これらに並列に接続された抵抗及び電流源のトランジスタと、抵抗の両端の電圧を基準電圧と比較して出力を2つの電流源のトランジスタに帰還する比較器とを備えた半導体集積回路が記載されている。

【0006】しかしながら、これらの文献において記載されている技術は、出力電位のDCオフセットを調整するためのものであり、出力段におけるプッシュプル動作を制御するものではない。

【0007】そこで、上記の点に鑑み、本発明は、プッシュプル方式により負荷に電源を供給する電源回路において、出力段のPチャネルトランジスタとNチャネルトランジスタの動作を制御することによって、プロセス等のばらつきにより大電流が流れるのを防止することを目的とする。

【0008】

【課題を解決するための手段】以上の課題を解決するため、本発明に係る電源回路は、第1の電位が入力され、制御信号が第1の状態のときに出力端子に電流を供給する第1の増幅経路と、第2の電位が入力され、制御信号が第2の状態のときに出力端子から電流を吸収する第2の増幅経路と、第1の電位と第2の電位との間の第3の電位を作成する中間電位作成回路と、第3の電位と出力端子の電位とを比較して制御信号を作成し、第1及び第2の増幅経路に供給する比較回路とを具備する。

【0009】ここで、第1の増幅経路が、出力段にPチャネルトランジスタを用いた負帰還増幅器を含み、第2の増幅経路が、出力段にNチャネルトランジスタを用いた負帰還増幅器を含むように構成しても良い。また、中間電位作成回路が、第1の電位と第2の電位とを分圧することにより第3の電位を作成するようにしても良い。

【0010】以上の様に構成した本発明に係る電源回路によれば、基準電位となる第3の電位と出力端子の電位とを比較して第1及び第2の増幅経路の動作を制御することによって、プロセス等のばらつきにより大電流が流れることを防止できる。

【0011】

【発明の実施の形態】以下、図面に基づいて、本発明の実施の形態について説明する。図1は、本発明の第1の実施形態に係る電源回路の構成を示す図である。図1に示すように、この電源回路は、出力段にPチャネルトランジスタを用いて出力端子に電流を供給する第1の増幅経路10と、出力段にNチャネルトランジスタを用いて出力端子から電流を吸収する第2の増幅経路20とを含んでいる。

【0012】図2に、第2の増幅経路20の具体的な回路例を示す。第2の増幅経路20は、NチャネルトランジスタQN1～QN2及びPチャネルトランジスタQP3～QP4等により構成される差動増幅器と、出力段のNチャネルトランジスタQN5と、出力段のトランジスタをオン/オフするためのNチャネルトランジスタQN7とを含んでいる。制御入力に印加される制御信号がハイレベルになると、インバータ2の出力がローレベルになり、トランジスタQN7がオフして出力段のトランジスタQN5が動作する。一方、制御入力に印加される制御信号がローレベルになると、インバータ2の出力がハイレベルになり、トランジスタQN7がオンして出力段のトランジスタQN5がオフする。

【0013】図3に、第1の増幅経路10の具体的な回路例を示す。第1の増幅経路10は、PチャネルトランジスタQP1～QP2及びNチャネルトランジスタQN3～QN4等により構成される差動増幅器と、出力段のPチャネルトランジスタQP5と、出力段のトランジスタをオン/オフするためのPチャネルトランジスタQP7とを含んでいる。制御入力に印加される制御信号がハイレベルになると、インバータ1の出力がローレベルになり、トランジスタQP7がオンして出力段のトランジスタQP5がオフする。一方、制御入力に印加される制御信号がローレベルになると、インバータ1の出力がハイレベルになり、トランジスタQP7がオフして出力段のトランジスタQP5が動作する。

【0014】再び図1を参照すると、この電源回路には、高電位側の入力電位 $V_H$ と低電位側の入力電位 $V_L$ とを抵抗R1～R4によって分圧して得られた第1の電位 $V_1$ と第2の電位 $V_2$ とが供給されている。また、第1の電位 $V_1$ と第2の電位 $V_2$ との間の第3の電位 $V_3$ が、比較回路30の反転入力に供給されている。比較回路30の非反転入力には、出力端子が接続されている。比較回路30は、第1の増幅経路10及び第2の増幅経路20に供給するための制御信号を出力する。

【0015】これにより、出力端子の電位が第3の電位 $V_3$ よりも高い場合には、制御信号がハイレベルとなって、第2の増幅経路20のみが動作する。一方、出力端子の電位が第3の電位 $V_3$ よりも低い場合には、制御信号がローレベルとなって、第1の増幅経路10のみが動作する。その結果、第1の増幅経路10と第2の増幅経路20との両方が同時に動作することがなく、プロセス

等のばらつきにより大電流が流れることを防止できる。

【0016】また、第1の電位 $V_1$ と第2の電位 $V_2$ とのオフセットを大きくする必要がないので、電源回路の出力電圧が波を打ったように振動してしまうという問題を解決することもできる。

【0017】次に、本発明の第2の実施形態に係る電源回路について、図4を参照しながら説明する。図4に示すように、本実施形態においては、比較回路30が出力する制御信号を第2の増幅経路20のトランジスタQN7（図2参照）に直接入力することにより、インバータ2を省略している。同様に、比較回路30の出力を第1の増幅経路10のトランジスタQP7（図3参照）に直接入力することにより、インバータ1を省略している。また、比較回路30の非反転入力には第3の電位 $V_3$ が供給され、比較回路30の反転入力には出力端子が接続される。

【0018】これにより、出力端子の電位が第3の電位 $V_3$ よりも高い場合には、制御信号がローレベルとなって、第2の増幅経路20のみが動作する。一方、出力端子の電位が第3の電位 $V_3$ よりも低い場合には、制御信号がハイレベルとなって、第1の増幅経路10のみが動作する。その結果、第1の実施形態と同様に、第1の増幅経路10と第2の増幅経路20との両方が同時に動作することがなく、プロセス等のばらつきにより大電流が流れることを防止できる。

【0019】

【発明の効果】以上述べた様に、本発明によれば、プッシュプル方式により負荷に電源を供給する電源回路において、入力電位から作成した基準電位と出力端子の電位とを比較して第1及び第2の増幅経路の動作を制御することによって、プロセス等のばらつきにより大電流が流れることを防止できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る電源回路の構成を示す図である。

【図2】図1の第2の増幅経路の具体的な回路例を示す回路図である。

【図3】図1の第1の増幅経路の具体的な回路例を示す回路図である。

【図4】本発明の第2の実施形態に係る電源回路の構成を示す図である。

【図5】従来の電源回路の構成を示す図である。

【符号の説明】

1、2 インバータ

10、20、100、200 増幅経路

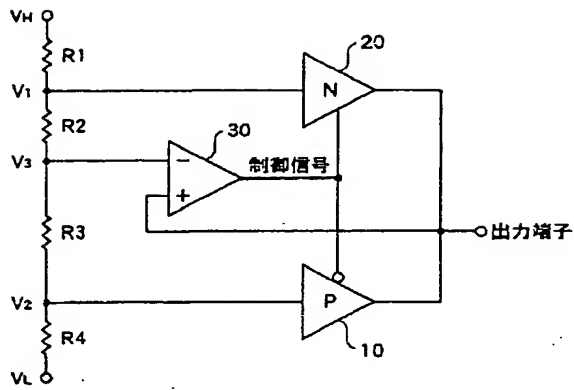
30 比較回路

QP1～QP7 Pチャネルトランジスタ

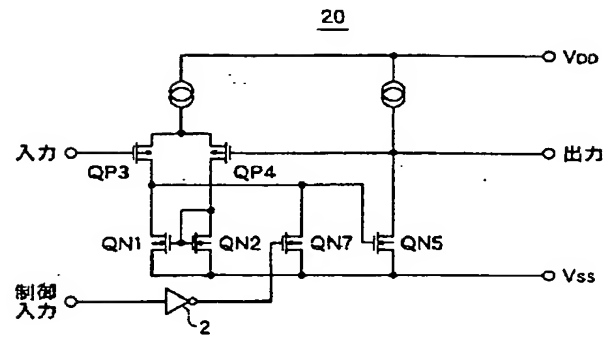
QN1～QN7 Nチャネルトランジスタ

R1～R30 抵抗

【図1】

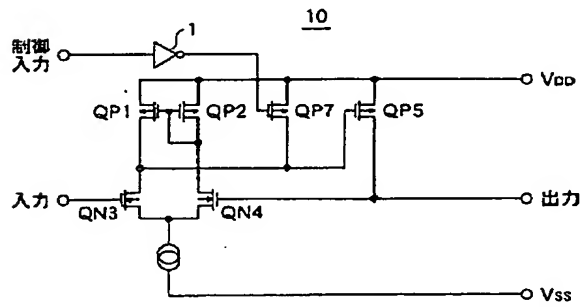


【図2】

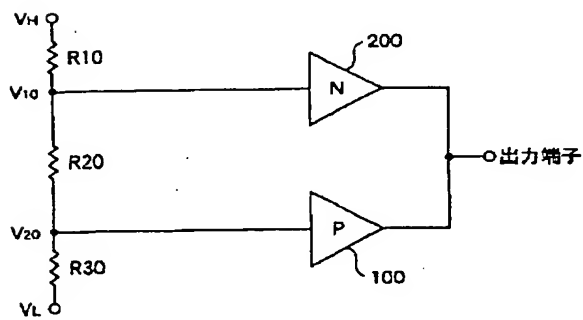
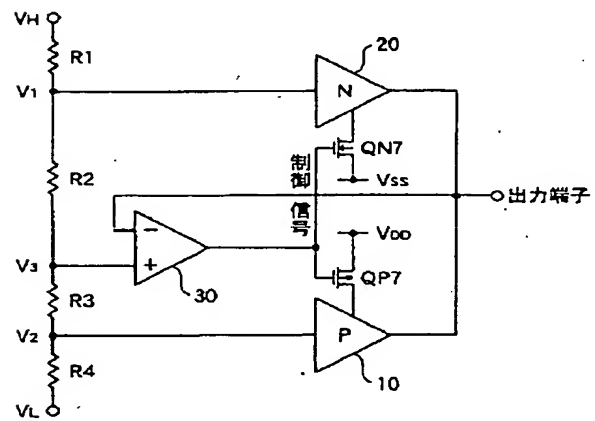


【図4】

【図3】



【図5】



フロントページの続き

Fターム(参考) 5H420 BB12 CC02 DD02 EA14 EA23  
EA24 EA39 EA40 EA48 EB15  
EB37 FF03 FF22 NA12 NB02  
NB03 NB14 NB20 NB37 NC02  
NC03 NC23  
5J066 AA01 AA17 CA14 CA56 FA04  
FA11 HA09 HA17 HA25 KA00  
KA04 KA05 KA17 MA05 MA13  
ND01 ND14 ND22 ND23 PD01  
SA08 TA01  
5J069 AA01 AA17 CA14 CA56 FA04  
FA11 HA09 HA17 HA25 KA00  
KA04 KA05 KA17 MA05 MA13  
SA08 TA01  
5J091 AA01 AA17 CA14 CA56 FA04  
FA11 FP04 FP06 GP02 HA09  
HA17 HA25 KA00 KA04 KA05  
KA17 MA05 MA13 SA08 TA01